

References

1. **Petersen K. E.** Micromechanical membrane switches on silicon, *IBM Journal of Research and Development*, 1979, 23 (4), pp. 376—85.
2. **Dai C.-L., Chen J.-H.** Low voltage actuated RF micro-mechanical switches fabricated using CMOS — MEMS technique, *Microsystem Technologies*, 2006, vol. 12, pp. 1143—1151.
3. **Radiant MEMS RF switches.** URL: www.radant-mems.com/radantmems/products.html
4. **Lee J. O., Song T.-H., Kim M.-W. et al.** A sub-1-volt nanoelectromechanical switching device, *Nature Nanotechnology*, 2013, vol. 8, pp. 36—40.
5. **Song Y.-T., Lee H.-Y., Esashi M.** Low actuation voltage capacitive shunt RF-MEMS switch having a corrugated bridge, *IEICE Transactions on Electronics*, 2006, vol. E89-C, pp. 1880—1887.
6. **Rajneet Kaur, C. C. Tripathi, Dinesh K.** Low Voltage RF Membr Capacitive Shunt Switches, Springer, *Wireless Pers Commun*, New York, Springer Science + Business Media, 2014, vol. 78, pp. 1391—14010.
7. **Kerem Akarvardar, Christoph Eggimann, Dimitrios Tsamados, et. al.** Analytical Modeling of the Suspended-Gate FET and Design Insights for Low-Power Logic, *IEEE TRANSACTIONS ON ELECTRON DEVICES*, 2008, vol. 55, no. 1.
8. **Min-Wu Kim, Yong-Ha Song, Seung-DeokKo, Sang-JoonAhn and Jun-Bo Yoon.** Ultra-low voltage MEMS switch using a folded hinge structure, *Micro and Nano Systems Letters*, 2014, Springer Open Journal, URL: <http://www.mnsl-journal.com/content/2/1/2>. 2:2, pp. 1—5.
9. **Ali Attaran, Rashid Rashidzadeh.** Ultra low actuation voltage RF MEMS switch, *Micro and Nano Systems Letters*, Springer Open Journal, 2015. 3:7.
10. **Vivek Harshey, Amol Morankar, Dr. R. M. Patrikar.** MEMS Resonator for RF Applications, Proceeding of the 2011 COMSOL Conference in Bangalor, India.
11. **Arathy U. S., Resmi R.** Analysis of pull-in voltage of a cantilever MEMS switch with variable beam parameters, *International Journal of Engineering and Advanced Technology (IJEAT)*, August 2015, vol. 4, issue 6.
12. **J. V. Korickij.** *Spravochnik po jelectrotehnicheskim materialam*, Jenergoatomizdat, 1988, vol. 3, 728 p. (in Russian).
13. **Varadan V. K., Vinoy K. J., Jose K. A.** *RF MEMS and their applications*, Chichester, West Sussex, John Wiley & Sons Ltd., 2003, 394 p.
14. **Younis M. I.** *MEMS Linear and Nonlinear Statics and Dynamics*, New York: Springer Science + Business Media. LLC. 2011. 453 p.
15. **Yapu Z.** Sticktion and anti-sticktion in MEMS and NEMS, *Acta Mechanica Sinica*, February 2003, vol. 19, no. 1.
16. **Rebeiz G. M.** *RF MEMS: Theory, Design, and Technology*, Hoboken, New Jersey, John Wiley & Sons, Inc., 2003, 483 p.

УДК 621.3.049.771(07)

DOI: 10.17587/nmst.19.442-448

В. В. Мастеров, мл. науч. сотр., e-mail: masterov@cs.niisi.ras.ru, **Ю. Б. Рогаткин**, канд. техн. наук, зав. отд., e-mail: ryb@cs.niisi.ras.ru, Федеральное государственное учреждение Федеральный научный центр Научно-исследовательский институт системных исследований Российской академии наук (НИИСИ РАН), Москва

ЦИФРОВАЯ ФАПЧ ДЛЯ ТЕХНОЛОГИЧЕСКОГО ПРОЦЕССА С НОРМАМИ 65 НМ

Поступила в редакцию 23.03.2017

Представлены результаты практической разработки сложно-функционального блока цифрового устройства фазовой автоподстройки частоты с использованием базовой технологии КМОП с проектными нормами 65 нм. Рассчитаны основные характеристики — центральная частота осцилляции, полоса пропускания и джиттер.

Ключевые слова: КМОП-технология, фазовая автоподстройка частоты

Введение

В современных системах коммуникации устройства фазовой автоподстройки частоты (ФАПЧ) являются незаменимым элементом. Их применяют для демодуляции сигнала, восстановления сигнала из шумного канала, генерации тактового сигнала и т.д. Широкое распространение получили аналоговые ФАПЧ. Аналоговые системы обеспечивают высокую помехоустойчивость при низком соотношении сигнал/шум на входе, но их недостатком является узкая полоса захвата. Время захвата, определяемое параметрами петлевого фильтра, реализация которого связана с существенным увеличением площади на кристалле интегральной схемы, довольно велико. Цифровые ФАПЧ имеют

более широкую полосу захвата и потенциально меньшее время захвата. Существуют различные варианты реализации цифровых ФАПЧ (ЦФАПЧ). В работе [1] аналоговый частотно-фазовый детектор заменен на двухтактный частотный компаратор, фильтр нижних частот выполнен в цифровом виде. Позднее был предложен новый тип ЦФАПЧ, в котором частотный компаратор заменен преобразователем "временной интервал — код" [2]. Этот тип ЦФАПЧ имеет улучшенные шумовые характеристики, в частности, в спектре фазового шума отсутствует гармоника опорного сигнала. ЦФАПЧ этого типа уже нашли себе применение в таких коммуникационных системах, как сотовая связь [3], Bluetooth [4], WiMAX [5].

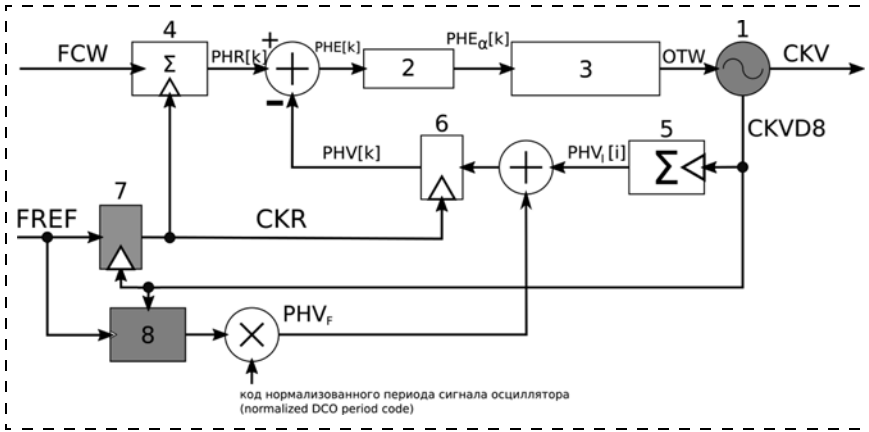


Рис. 1. Структурная схема ЦФАПЧ (темным цветом выделены аналоговые компоненты): 1 — осциллятор, управляемый кодом; 2 — цифровой фильтр; 3 — преобразователь кода фазовой ошибки в код управления осциллятором; 4 — фазовый аккумулятор опорного сигнала; 5 — аккумулятор сигнала осциллятора; 6 — сэмплер; 7 — синхронизатор; 8 — преобразователь "временной интервал — цифра"
 Fig. 1. DPLL structure (the dark color designates analog components): 1 — digital-controlled oscillator; 2 — digital filter; 3 — code-to-thermocode converter; 4 — reference phase accumulator; 5 — variable phase accumulator; 6 — sampler; 7 — retimer; 8 — TDC

Предметом исследования данной работы является ЦФАПЧ, предназначенная для реализации по технологии с нормами 65 нм, с выходной частотой 10 ГГц и полосой пропускания не более 2 МГц. В качестве аналога для данной разработки использована цифровая ФАПЧ, описанная в работе [2]. Она имеет следующие основные достоинства:

- высокая устойчивость к шумам;
- возможность управления полосой пропускания для уменьшения времени установки в рабочий режим;
- возможность регулирования частотой обновления управляющего кода в целях увеличения надежности схемы;
- отсутствие "выбросов" на графике фазового шума, которые можно наблюдать в случае с аналоговой ФАПЧ;
- возможность уменьшения площади, занимаемой на кристалле, при переходе на технологию с меньшей топологической нормой.

Принцип работы ЦФАПЧ

Структурная схема ЦФАПЧ представлена на рис. 1. В ЦФАПЧ используются 32-разрядные двоичные коды, которые представляют вещественное число с фиксированной точкой. Вещественная часть представлена 20 младшими битами. Назначение сигналов следующее: FREF — опорный сигнал; CKV — сигнал осциллятора; CKVD8 — деленный сигнал осциллятора; FCW (Frequency Command Word) — цифровой код, вес которого определяет отношение частоты опорного сигнала FREF к частоте сигнала CKV.

Вместе с тем FCW равен числу тактов сигнала CKV за один такт сигнала FREF. Фазовый аккумулятор опорного сигнала осуществляет операцию

сложения его текущего значения со значением FCW, и таким образом полученный результат PHR выражает текущую фазу требуемого сигнала. Для того чтобы получить фазу осциллятора PHV, используют фазовый аккумулятор и преобразователь "временной интервал — код". Выходные данные конвертера проходят обработку в блоке анализатора и его выходное значение PHV_F является вещественной компонентой кода PHV. PHV_F , соответственно, целая компонента кода PHV. Необходимость преобразователя обусловлена тем, что фазовый аккумулятор срабатывает только по положительному фронту сигнала CKV, т. е. регистрирует только целое значение фазы. Преобразователь "временной

интервал — код" измеряет время ϵ между фронтами последнего цикла сигнала CKV и FREF (рис. 2).

Цифровая часть (см. рис. 1) тактируется сигналом CKR, который генерируется блоком синхронизатора. Подробное описание этого блока дано ниже. Переменная i значит, что данный код является функцией в домене сигнала CKV, а k — функцией в домене сигнала CKR.

$PHE[k]$ — код фазовой ошибки, который получен следующим образом:

$$PHE[k] = PHR[k] - PHV[k]. \quad (1)$$

Далее этот код проходит обработку в цифровом фильтре, который уменьшает значение фазовой ошибки:

$$PHE_\alpha[k] = PHE[k] \cdot \alpha. \quad (2)$$

Для упрощения реализации можно использовать значения $\alpha = 1/2, 1/4, 1/8, 1/16, \dots$, так как при таких значениях цифровой фильтр может быть выполнен в виде регистра сдвига вправо. Значение коэффициента α определяет полосу пропускания f_{BW} ЦФАПЧ:

$$f_{BW} = \frac{\alpha}{2\pi} \cdot f_{FREF}, \quad (3)$$

где f_{FREF} — частота опорного сигнала FREF.

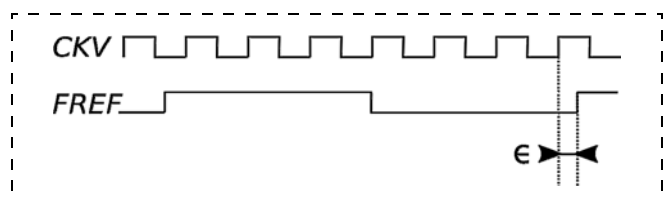


Рис. 2. Временные диаграммы сигналов FREF и CKV
 Fig. 2. Time diagrams of FREF and CKV signals

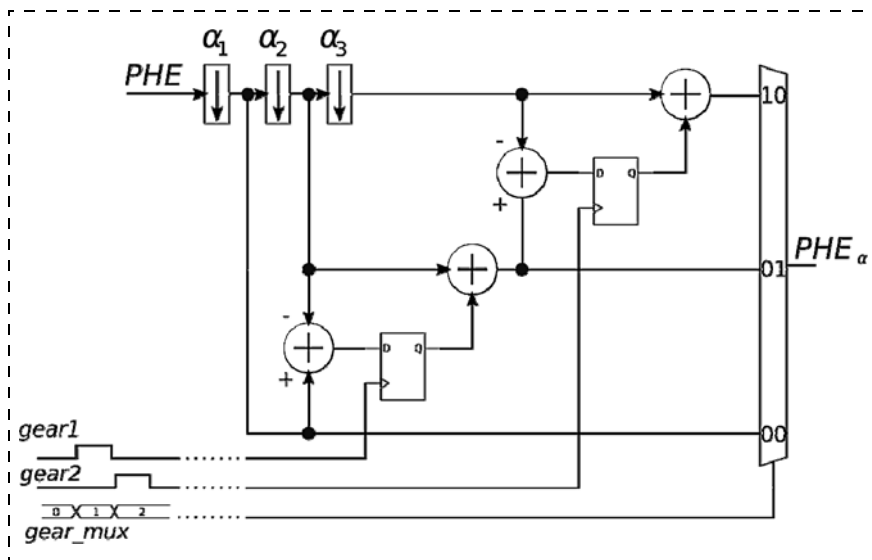


Рис. 3. Принципиальная схема переключателя коэффициента α
 Fig. 3. α -shifting circuit

Далее полученное значение необходимо нормализовать в вид кода управления осциллятором *OTW* (Oscillator Tuning Word):

$$OTW[k] = PHE[k] \cdot \frac{f_{FREF}}{K_{DCO}}, \quad (4)$$

где K_{DCO} — коэффициент передачи осциллятора.

Конечный результат умножения проходит преобразование в термокод. Процесс настройки ЦФАПЧ делится на три режима, которые определяются плавностью настройки. Первый режим соответствует грубой настройке, второй режим — промежуточной; третий, рабочий режим, — плавной настройке. Для каждого режима существуют свои коэффициенты α и K_{DCO} . Переключение режимов осуществляется с помощью контрольного блока, который меняет режим в зависимости от состояния счетчика, тактируемого сигналом FREF. Коэффициенты K_{DCO} определяются еще на стадии проектирования, и допускается сравнительно небольшое различие с их реальными значениями.

Для достижения требуемой полосы пропускания может потребоваться очень малое значение α , что, в свою очередь, может сказаться на значительном увеличении времени установления в рабочий режим. Для того чтобы удовлетворить требования для скорости установления в рабочий режим и для ширины полосы пропускания, реализуется механизм переключения α (рис. 3).

На начальном этапе третьего режима используется относительно большой коэффициент α и через определенный промежуток времени после контрольного сигнала "gear" происходит переход к меньшему значению. Переключение осуществляется также внешним контрольным блоком, кото-

рый является счетчиком сигнала FREF. Условием переключения α является достижение счетчиком заданного извне значения.

Аналоговые компоненты ЦФАПЧ

Аналоговая часть ЦФАПЧ содержит следующие блоки: осциллятор с подключенными к нему делителями частоты, синхронизатор и преобразователь "временной интервал — код" (ПВИК). В данной работе используется LC-осциллятор, центральная частота которого равна 10 ГГц. Он содержит три набора конденсаторов, соответствующих трем режимам настройки. Первому, грубому, режиму настройки соответствует набор ячеек из конденсаторов с относительно большой емкостью. Для

второго и третьего режимов емкости меньше. В результате для первого, второго и третьего режимов коэффициенты передачи равны значениям 44 МГц и 2,5 МГц и 290 кГц соответственно. Основными функциями блока синхронизатора являются генерация тактового сигнала для цифровой части ЦФАПЧ и подсчет импульсов сигнала СКВ. Ситуации, в которых положительные фронты сигналов FREF и

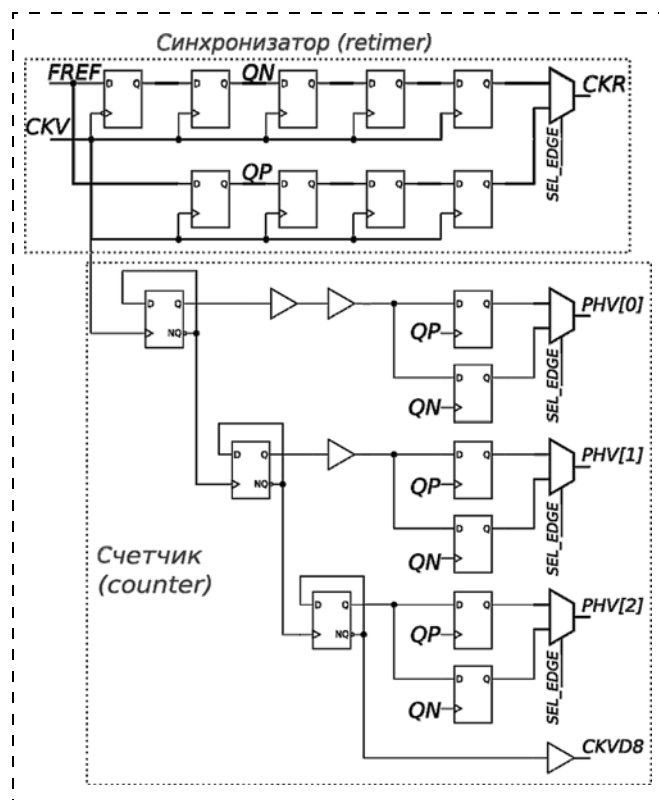


Рис. 4. Схема синхронизатора
 Fig. 4. Retimer circuit with counter

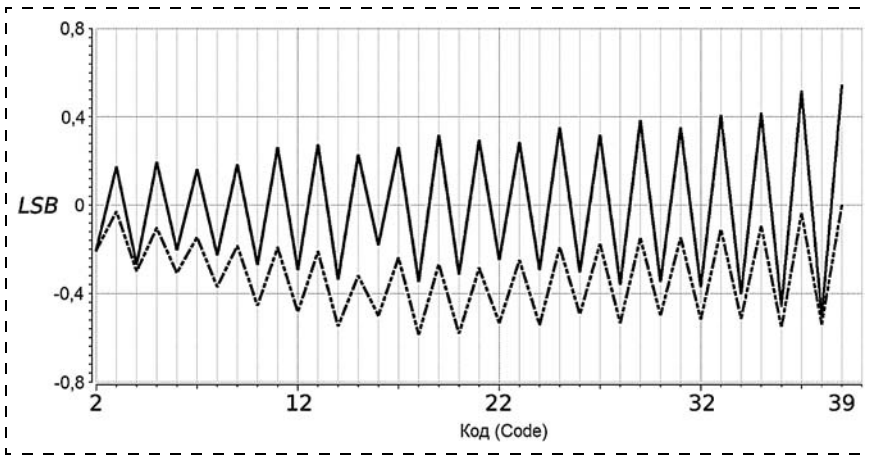


Рис. 5. Результаты расчетов дифференциальной (сплошная линия) и интегральной (пунктирная линия) нелинейностей ПВИК

Fig. 5. Differential (the continuous line) and integral (the dashed line) nonlinearities of TDC in worst case

СКV слишком близки, крайне нежелательны, так как могут спровоцировать сбой в подсчете тактов. Именно поэтому используется структура, приведенная на рис. 4. Сигнал SEL_EDGE формируется блоком обработки данных ПВИК и сигнализирует о необходимости пропуска текущего импульса на выходе осциллятора, чтобы избежать сбоя в подсчете тактов. Код PHV[2:0] — младшие биты целой составляющей кода PHV. Старшие биты формирует обычный счетчик, на тактовый вход которого поступает деленный сигнал осциллятора СКVD8. Кроме того, временной диапазон между положительными фронтами сигналов FREF и СКV должен быть достаточно велик, чтобы за это время анализатор успел обработать данные ПВИК.

Конечной задачей этого блока является преобразование временного промежутка между ближайшими положительными фронтами сигналов FREF и СКV в цифровой код. Без него фаза выходного сигнала ЦФАПЧ лишь локализована в диапазоне от 0 до 2π . В данной работе использован преобразователь на основе линии задержки. Он содержит инверторы в качестве элементов задержки и триггеры, на тактовый вход которых подается сигнал FREF. Разрешающая способность такого преобразователя равна времени задержки одного инвертора. Для технологии 65 нм этот промежуток равен около 20 пс. Требуемая полная шкала преобразователя должна составлять 800 пс при коэффициенте передачи около 14 бит/пс.

Формирование вещественной составляющей кода PHV определяется следующим выражением:

$$PHV_f = \frac{\varepsilon}{T_{СКV}}, \quad (5)$$

где ε — разница во времени между фронтами; $T_{СКV}$ — идеальное значение периода сигнала СКV

в рабочем режиме. Так как идеальное значение не может быть известно заранее, блок обработки должен определять его из состояний преобразователя. Управление задержкой происходит путем изменения напряжения питания инверторов — элементов задержки.

Основные характеристики ЦФАПЧ

Результаты моделирования в среде САПР CADENCE приведены на рис. 6 и 7.

Использовался типовый технологический процесс 65 нм при температуре 27 °С, джиттере входного сигнала, равном 60 пс. Частота опорного сигнала равна 100 МГц. Полоса пропускания составляет 2 МГц. На рис. 6 показано изменение частоты в процессе настройки. Первый режим работы длился 2 мкс, второй режим — 10 мкс. Суммарное

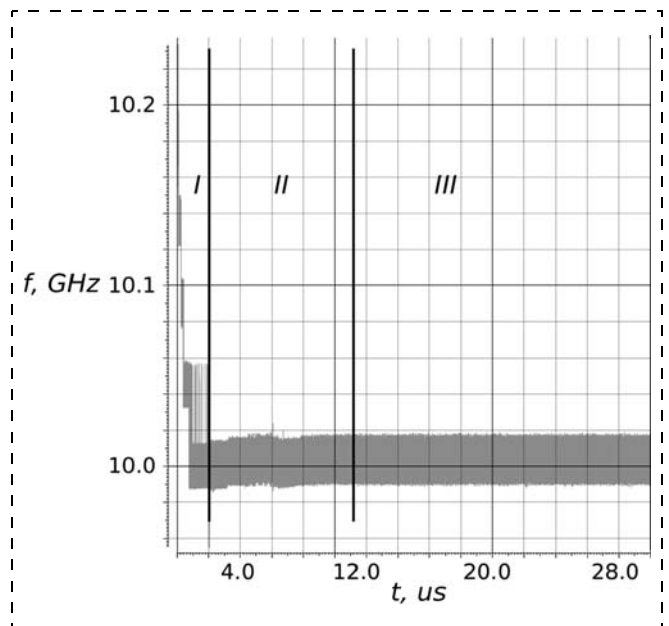


Рис. 6. Изменение частоты в процессе настройки: I, II, III — режимы настройки

Fig. 6. Frequency dynamic during calibration: I, II, III — the calibration modes

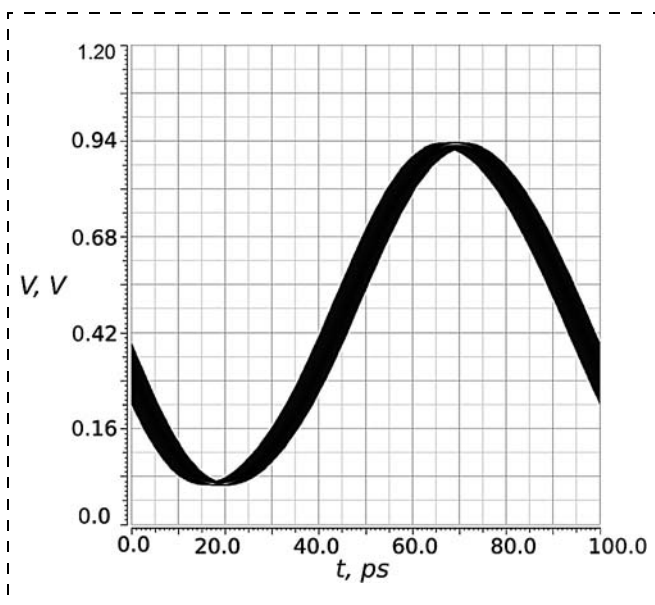


Рис. 7. Глазковая диаграмма сигнала генератора
Fig. 7. Eye diagram of the oscillator signal

время настройки составило ~ 20 мкс. На рис. 7 показана глазковая диаграмма сигнала генератора. Детерминированный джиттер выходного сигнала равен 5,9 пс.

Заключение

В данной работе представлена реализация ЦФАПЧ с использованием базовой КМОП-техно-

логии с проектными нормами 65 нм. При центральной частоте осциллятора 10 ГГц и полосе пропускания 2 МГц детерминированный джиттер сигнала ЦФАПЧ составляет 5,9 пс.

Данная реализация ЦФАПЧ может быть использована как синтезатор частоты для высокоскоростных каналов связи в микропроцессорных и коммуникационных СБИС.

Список литературы

1. Dunning J., Garcia G., Lundberg J., Nuckolls E. An All-Digital Phase-Locked Loop with 50-Cycle Lock Time Suitable for High-Performance Microprocessor // IEEE Journal of Solid-State Circuits. 1995. Vol. 30, N. 4. P. 412–422.
2. Staszewski R., Poras T. Balsara, All-Digital Frequency Synthesizer in Deep-Submicron CMOS. Wiley, 2002.
3. Staszewski R., Wallberg J. All-Digital PLL and Transmitter for Mobile Phones // IEEE Journal of Solid-State Circuits. 2005. Vol. 40, N. 12. P. 2469–2482.
4. Staszewski R. Khurram M. All-Digital TX Frequency Synthesizer and Discrete-Time Receiver for Bluetooth Radio in 130-nm CMOS // IEEE Journal of Solid-State Circuits. 2004. Vol. 39, N. 12. P. 2278–2291.
5. Wenlong J. DPLL design for WiMAX (Msc Thesis) // Delft University of technology, 2011.
6. Staszewski R., Poras T. Balsara. Digital PLL with ultra-fast settling // IEEE Transactions on circuits and systems-II: Express briefs. 2007. Vol. 54, N. 2. P. 181–185.
7. Popong E. Time-to-Digital converter (TDC) for WiMAX DPLL in State-of-The-Art 40-nm CMOS (MSc Thesis). Delft University of Technology, 2011.

V. V. Masterov, Junior Researcher, masterov@cs.niisi.ras.ru,

Yu. B. Rogatkin, Ph. D., Head of Department, ryb@cs.niisi.ras.ru

Scientific System Research Institute of the Russian Academy of Sciences (NIISI RAS), 117218, Moscow, Russian Federation

Corresponding author:

Rogatkin Yuriy B., Ph. D., Head of Department, Scientific System Institute of the Russian Academy of Sciences, 117218, Moscow, Russian Federation, e-mail: ryb@cs.niisi.ras.ru

Digital Phase-Lock Loop Design in 65 nm CMOS Process

Received on March 23, 2017

Accepted on April 10, 2017

This paper presents the result of practical development of IP-block of digital phase-locked loop (DPLL) using a basic CMOS process with design rules of 65 nanometers. The analog PLLs are widespread but advanced CMOS technologies are becoming less friendly for analog design, therefore digital solutions adaptation for analog applications issue is of great interest. The structure of implemented DPLL is the same as one of WiMAX and Bluetooth receivers DPLL. The main advantages of this structure is higher noise immunity in comparison with the analog PLL one, scaling and bandwidth control during calibration. The operations of analog and digital parts are described. For simplicity, the inverter-delay chain is used as the time-to-digital converter. Its main parameters are presented, differential and integral nonlinearities are obtained using Monte-Carlo analysis. Also, the settling time reducing technique is implemented using gain shifter. The digital part implementation is done with Verilog. The central frequency of oscillation and bandwidth are calculated. The simulation is implemented and the output jitter is obtained.

Keywords: CMOS technology, phase-locked loop frequency control

For citation:

Masterov V. V., Rogatkin J. B. Digital Phase-Look Loop in 65 nm CMOS Process, *Nano- i Mikrosistemnaya Tekhnika*, 2017, vol. 19, no. 7, pp. 442–448.

DOI: 10.17587/nmst.19.442-448

Introduction

In communication systems, the phase-locked loop devices (PLL) are irreplaceable. Their applications are signal demodulation, signal restoring from a noisy channel, clock signal generation, etc. The analog PLL devices are now widespread. The analog systems ensure high noise immunity at a low signal to noise ratio at the input, but their drawback is a narrow locking band. The locking time determined by the parameters of the loopback filter, which implementation is related to an essential increase of the area on the integrated circuit, is rather long. Digital PLL have a wider locking band and potentially smaller locking time. There are various versions of the digital PLL (DPLL) implementation. In [1] the analog frequency-phase detector is replaced with a two-clock frequency comparator, and the low-pass filter is digital. Later a new type of DPLL was offered, where the frequency comparator is replaced by time-to-digital converter (TDC) [2]. This type of DPLL has improved noise characteristics, in particular, there is no reference spurs in phase noise spectrum. DPLL devices of this type have already found application in such communication systems, as cellular communication [3], Bluetooth [4] and WiMAX [5].

The object of research is DPLL implementation in 65 nm CMOS process, output frequency of 10 GHz and bandwidth of no more than 2 MHz. The reference for the given design is the one of the DPLL described in the work [2]. Advantages of this design are:

- High noise immunity;
- Bandwidth control for settling time reduction;
- Filter output updating control for reliability improvement;
- Absence of reference spurs, which can be observed in case with an analog PLL;
- Scaling at advanced technologies which is not the case with analog PLL.

Principle of operation of DPLL

Block diagram of DPLL is presented in fig. 1. In DPLL 32-bit binary codes presenting fixed point numbers are used. 20 least significant bits represent the fractional part. The purposes of the signals are the following: FREF is a reference signal; CKV is an oscillator signal; CKVD8 is a divided oscillator signal; FCW (Frequency Command Word) is a digital code, which value determines the frequency ratio between FREF and CKV signals.

On the other side, FCW is equal to the number of time steps of CKV signal per one period of FREF signal. The reference phase accumulator carries out the operation of addition of its current value with the value of FCW and thus received PHR code expresses the current phase of the demanded signal. In order to receive PHV code the variable phase accumulator and TDC are used. TDC output data are processed in analyzer and one output value PHF_F is a fractional part of PHV code. PHV_I is an integer part as well. The necessity of converter use is explained by the fact that the phase accumu-

lator works only with the positive edge of CKV signal, i.e. it detects only the integer part of a phase. TDC measures time ε between the positive edges of the CKV last cycle and FREF (fig. 2).

The digital part (see fig. 1) is clocked by CKR signal, which is generated by the retimer. A more detailed description of this block is given below. The variable i means, that the given code is a function in the domain of CKV signal, while k is the function in the domain of CKR signal.

$PHE[k]$ is the code of a phase error, which is calculated in the following way:

$$PHE[k] = PHR[k] - PHV[k]. \quad (1)$$

Further, this code undergoes processing in the digital filter, which reduces the value of a phase error:

$$PHE_{\alpha}[k] = PHR[k] \cdot \alpha. \quad (2)$$

For simplification of the implementation it is possible to use values $\alpha = 1/2, 1/4, 1/8, 1/16...$ because at such values this operation can be performed by simple right-shift register. The value of coefficient α determines the bandwidth f_{BW} of DPLL:

$$f_{BW} = \frac{\alpha}{2\pi} \cdot f_{FREF}, \quad (3)$$

where f_{FREF} is the frequency of the reference signal FREF.

Then, the received value should be normalized into oscillator control code OTW (Oscillator Tuning Word):

$$OTW[k] = PHR[k] \cdot \frac{f_{FREF}}{K_{DCO}}, \quad (4)$$

where K_{DCO} is the transfer coefficient of the oscillator.

The result of multiplication undergoes transformation into a thermocode. The DPLL calibration has three modes differentiated by the smoothness. The first mode corresponds to a rough adjustment, the second — to an intermediate adjustment, the third — to a smooth adjustment. The third mode corresponds to a normal mode. For each mode their own coefficients are α and K_{DCO} . Switching of the modes is carried out by means of the control unit, which changes a mode depending on a counter condition. The counter clocked by FREF signal. K_{DCO} factors are determined at the design stage and small differences from their real values are allowed. For achieving of the demanded bandwidth a very small value of α may be required, which can cause a substantial increase of the settling time. In order to meet the requirements for the settling time duration and the bandwidth, the switching mechanism of factor α (fig. 3) is implemented. At the initial stage of the third mode a relatively large coefficient α is used, and after a certain period of time by the "gear" reference signal a transfer to a smaller value is performed. The α switching event is also controlled by the external control unit, clocked by FREF signal. When current unit value is equal to ones specified by designer, the unit calls the switching event.

Analog components of DPLL

The analog part of DPLL contains the following units: an oscillator with the frequency dividers connected to it, a retimer and a TDC. In the given work oscillator based on LC-tank is used, its central frequency is about 10GHz.

The oscillator contains three sets of capacitors corresponding to three modes of adjustment. A set of capacitor cells with high capacity corresponds to the first mode of adjustment. For the second and the third modes cells with small capacitors are used. Therefore, the one cell switching changes the frequency by 44 MHz, 2.5 MHz and 290 KHz respectively. The retimer functions are clock signal generation for the DPLL digital part and CKV pulses accumulation. The cases, when the positive edges of FREF and CKV signals are too close, are extremely undesirable, because calculation failures of the time steps can be caused. For this reason the structure presented in fig.4 is used. TDC data processing unit generates SEL_EDGE signal and the purpose of this signal is to make retimer skip the current CKV pulse in order to avoid a failure in calculation of the time steps. PHV[2:0] bits are the least significant ones of the integer part of PHV code. A simple counter clocked by CKVD8 signal generates the high order bits. However, the time span between the FREF and CKR positive edges should be large enough to allow the analyzer to process TDC data.

The TDC task is conversion of the time interval between the closest FREF and CKV positive edges to a digital code. Without this block the output signal phase of DPLL is only localized within the range from 0 up to 2π . In the given work a delay line converter is used. It contains inverters as the delay elements and flip-flops, clocked by FREF signal. The resolution is equal to the time delay of one inverter. In 65 nm CMOS process this interval is about 20 ps. The demanded time range of the converter should be 800 ps at the ~ 14 bit/ps transfer coefficient.

The fractional part of PHV code is determined by the following expression:

$$PHV_f = \frac{\varepsilon}{T_{CKV}}, \quad (5)$$

where ε — difference between the edges; T_{CKV} — CKV period ideal value in the normal mode. Since T_{CKV} cannot be known in advance, the processing unit should determine it from the converter states. In addition, the time delay control of all inverters can be achieved by power supply adjustment. Changing supply voltage by $\pm 10\%$ can change the resolution by

30 %. Presence of differential delay lines mitigates mismatch effects, and with proper design this converter can be calibration-free. Fig. 5 presents the worst-case TDC differential and integral nonlinearities (DNL and INL) obtained by Monte-Carlo analysis.

Basic characteristics of DPLL

The results of simulation in the CAD CADENCE environment are presented in fig. 6 and 7. Typical process at 27 °C is used, input jitter is 60 ps. The reference frequency is 100 MHz. The bandwidth is 2 MHz. Fig.6 presents a change of the frequency during the calibration. The first mode lasted 2 μ s, the second mode — 10 mcs. The total time of adjustment is about 20 μ s. Fig.7 presents an eye diagram of the oscillator signal. The determined jitter of the output signal is equal to 5.9 ps.

Conclusion

The work presents an implementation of DPLL in 65 nm CMOS process. At the central oscillator frequency of 10 GHz and a bandwidth of 2 MHz, the determined jitter of DPLL signal is 5.9 ps.

The given DPLL implementation can be used as a frequency synthesizer for the high-speed communication channels in the microprocessor and communication GSI.

References

1. Dunning J., Garcia G., Lundberg J., Nuckolls E. An All-Digital Phase-Locked Loop with 50-Cycle Lock Time Suitable for High-Performance Microprocessor, *IEEE Journal of Solid-State Circuits*, 1995, vol. 30, no. 4, pp. 412–422.
2. Staszewski R., Poras T. Balsara. *All-Digital Frequency Synthesizer in Deep-Submicron CMOS*, Wiley, 2002.
3. Staszewski R., Wallberg J. et al. All-Digital PLL and Transmitter for Mobile Phones, *IEEE Journal of Solid-State Circuits*, 2005, vol. 40, no. 12, pp. 2469–2482.
4. Staszewski R. Khurram M. et al., All-Digital TX Frequency Synthesizer and Discrete-Time Receiver for Bluetooth Radio in 130-nm CMOS, *IEEE Journal of Solid-State Circuits*, 2004, vol. 39, no. 12, pp. 2278–2291.
5. Wenlong J. DPLL design for WiMAX (Msc Thesis), Delft University of technology, 2011.
6. Staszewski R., Poras T. Balsara, Digital PLL with ultra-fast settling, *IEEE Transactions on circuits and systems-II: Express briefs*, 2007, vol. 54, no. 2, pp. 181–185.
7. Popong E. *Time-to-Digital converter (TDC) for WiMAX DPLL in State-of-The-Art 40-nm CMOS* (MSc Thesis), Delft University of Technology, 2011.